

DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

012392324 **Image available**

WPI Acc No: 1999-198431/199917

XRPX Acc No: N99-146567

Brightness controller for light-emitting-diode drive - controls ON/OFF of brightness control transistor based on current flowing through potential setup transistor

Patent Assignee: RICOH KK (RICO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11042809	A	19990216	JP 97200027	A	19970725	199917 B

Priority Applications (No Type Date): JP 97200027 A 19970725

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11042809	A	13	B41J-002/44	

Abstract (Basic): JP 11042809 A

NOVELTY - The brightness controller (50) performs ON/OFF control of a brightness control transistor (53) connected in parallel with a current generation transistor. The amount of current flow to the LED is controlled by a drive transistor, based on the current flowing through a potential setup transistor connected serially to the current generation transistor.

USE - For LED drive used in printer, facsimile.

ADVANTAGE - The brightness of LED is adjusted accurately to eliminate brightness variation. The adjustment accuracy is enhanced by varying adjustment space of brightness control apparatus. **DESCRIPTION OF DRAWING(S)** - The figure shows a circuit diagram of brightness controller of LED drive circuit apparatus. (50) Brightness controller; (53) Brightness control transistor.

Dwg.2/7

Title Terms: BRIGHT; CONTROL; LIGHT; EMIT; DIODE; DRIVE; CONTROL; BRIGHT; CONTROL; TRANSISTOR; BASED; CURRENT; FLOW; THROUGH; POTENTIAL; TRANSISTOR

Derwent Class: P75; T04; W02

International Patent Class (Main): B41J-002/44

International Patent Class (Additional): B41J-002/45; B41J-002/455

File Segment: EPI; EngPI

?

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-42809

(43)公開日 平成11年(1999)2月16日

(51)Int.Cl.⁶

B 41 J 2/44
2/45
2/455

識別記号

F I

B 41 J 3/21

L

審査請求 未請求 請求項の数7 OL (全13頁)

(21)出願番号 特願平9-200027

(22)出願日 平成9年(1997)7月25日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 杉山 実

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 小畠 剛男

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 稲田 進一

東京都大田区中馬込1丁目3番6号 株式会社リコー内

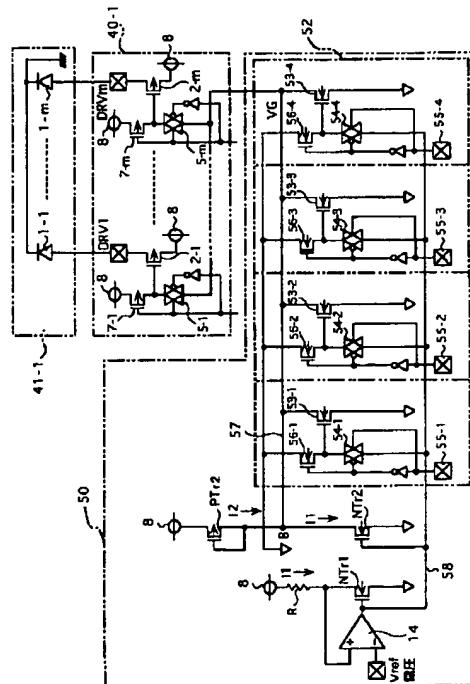
(74)代理人 弁理士 鳥居 洋

(54)【発明の名称】 発光ダイオード駆動回路装置

(57)【要約】

【課題】 各チップ間のLEDの輝度のバラツキを調整する場合において、少ない回路追加でLEDに供給する電流の変化量を均等にするLED駆動回路装置を提供する。

【解決手段】 LED駆動回路装置の輝度制御回路50では、NMOSトランジスタNTr2とPMOSトランジスタPTr2とが直列に接続され、PMOSトランジスタPTr2のゲートの電位がPMOSトランジスタ2-1～2-mのゲートに与えられる。輝度制御回路50にはNMOSトランジスタNTr2とカレントミラー回路を構成するNMOSトランジスタ53-1～53-4が構成される。NMOSトランジスタ53-1～53-4を調整データ入力端子25-1～25-4から入力される装置間用輝度調整データに基づきオン/オフ制御して、PMOSトランジスタPTr2を流れる電流I2を調整することで、PMOSトランジスタ2-1～2-mを介してLED1-1～1-mに流れる電流を調整する。



【特許請求の範囲】

【請求項1】 発光ダイオードに接続され前記発光ダイオードに電流を流す駆動トランジスタを備える発光ダイオード駆動手段と、前記駆動トランジスタとカレントミラー回路を構成する電位設定用トランジスタと、前記電位設定用トランジスタと直列に接続され所定の電流を流す電流生成用トランジスタと、前記電流生成用トランジスタに並列に接続される輝度制御トランジスタと、前記輝度制御トランジスタをオン／オフ制御する動作制御手段と、を備え、

前記動作制御手段によって前記輝度制御トランジスタをオン／オフ制御し、前記電位設定用トランジスタに流れる電流を変化させて、前記駆動トランジスタを介して前記発光ダイオードに流れる電流量を調整することを特徴とする発光ダイオード駆動回路装置。

【請求項2】 前記輝度制御トランジスタが前記電流生成用トランジスタに並列に複数個接続され、前記輝度制御トランジスタのトランジスタサイズは、 2^n (n は0, 1, 2, ...) にてなる値に設定されることを特徴とする請求項1に記載の発光ダイオード駆動回路装置。

【請求項3】 請求項1又は請求項2の発光ダイオード駆動回路装置を複数備え、

前記動作制御手段は、各発光ダイオード駆動回路装置間の輝度の差に基づき設定された装置間輝度調整データに基づき前記輝度制御トランジスタをオン／オフ制御することを特徴とする発光ダイオード駆動回路装置。

【請求項4】 前記電位設定用トランジスタに並列に接続される第2の輝度制御トランジスタと、前記第2の輝度制御トランジスタをオン／オフ制御する第2の動作制御手段とを備え、

前記第2の動作制御手段によって第2の輝度制御トランジスタをオン／オフ制御し、前記駆動トランジスタを介して前記発光ダイオードに流れる電流量を調整することを特徴とする請求項1又は2に記載の発光ダイオード駆動回路装置。

【請求項5】 前記第2の輝度制御トランジスタが前記電位設定用トランジスタに並列に複数個接続され、前記第2の輝度制御トランジスタのトランジスタサイズは 2^n (n は0, 1, 2, ...) にてなる値に設定されることを特徴とする請求項4に記載の発光ダイオード駆動回路装置。

【請求項6】 請求項4又は請求項5の発光ダイオード駆動回路装置を複数備え、

前記動作制御手段及び第2の動作制御手段は、各発光ダイオード駆動回路装置間の輝度の差に基づき設定された装置間輝度調整データに基づき前記輝度制御トランジスタ及び第2の輝度制御トランジスタをオン／オフ制御することを特徴とする発光ダイオード駆動回路装置。

【請求項7】 発光ダイオードに接続され前記発光ダイオードに電流を流す駆動トランジスタを備える発光ダイ

オード駆動手段と、電流量の異なる複数の電流を流す電流制御手段と、前記発光ダイオードと異なる他の発光ダイオードとの間の輝度の差に基づき設定されたLED用輝度調整データに基づき前記電流制御手段に流れる複数の電流から1つの電流を選択する選択手段と、を備え、前記選択手段が選択した電流に基づき前記駆動トランジスタを介して前記発光ダイオードに流す電流量を調整することを特徴とする発光ダイオード駆動回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタ、ファクシミリ装置等の感光体を露光するための発光ダイオード駆動回路装置に関する。

【0002】

【従来の技術】発光ダイオード（以下、LEDと称す）アレイヘッドにおける各LEDの輝度は、LEDアレイヘッドに設けられる各LEDアレイチップ間で数乃至数十%のバラツキが生じており、このバラツキが印字品質の低下の原因を招いている。印字品質を防止するためには、各チップ間における輝度のバラツキを補正する輝度制御回路を備えるLED駆動回路装置が、特開平6-328782号公報に提案されている。図5乃至図7を用いて前記LED駆動回路装置について説明する。

【0003】図5は、前記LED駆動回路装置を備えるLEDアレイヘッドの内部構成を示すブロック図である。LEDアレイヘッドには、複数個のLEDが列状に並べられて構成されるLEDアレイチップ $41-1 \sim 41-n$ が形成される。各LEDアレイチップ $41-1 \sim 41-n$ には、LED駆動回路装置が接続される。以下に、LEDアレイチップ $41-1$ 及びLEDアレイチップ $41-1$ に接続されるLED駆動回路装置に関してのみ説明するが、他のLEDアレイチップ $41-2 \sim 41-n$ 及びLEDアレイチップ $41-2 \sim 41-n$ にそれぞれ接続される他のLED駆動回路装置の構成も同様であるので説明を省略する。

【0004】LEDアレイチップ $41-1$ に接続されるLED駆動回路装置内では、外部から与えられる画データがクロック信号によってシフトされてシフトレジスタ $3-1$ に格納される。そして、そのシフトレジスタ $3-1$ に格納された画データは、セット信号に基づいてラッチ回路 $4-1$ にラッチされる。ラッチ回路 $4-1$ でラッチされた画データは、2入力AND回路 $9-1 \sim 9-m$ の一方入力端子に与えられており、他方入力端子にインバーブル信号が与えられると、その画データがLED駆動回路 $40-1$ に出力される。LED駆動回路 $40-1$ は、前記画データに基づきLEDアレイチップ $41-1$ の各LEDに電流を供給し各LEDを点灯する。

【0005】また、前記LED駆動回路装置内には、LED駆動回路 $40-1$ に接続され、LED駆動回路 $40-1$ を制御してLEDアレイチップ $41-1$ の各LED

の輝度を調整する輝度制御回路20-1と、前記輝度制御回路20-1に与える4ビットの装置間用輝度調整データをラッチする輝度制御用ラッチ回路42-1とが設けられる。

【0006】図6は、前記輝度制御回路20-1に制御されるLED駆動回路40-1及びLED駆動回路40-1に接続されるLEDアレイチップ41-1の構成を示す回路図である。LEDアレイチップ41-1には、m個のLED1-1～1-mが形成される。そして、LED駆動回路40-1では、LED1-1～1-mに電流を供給する駆動トランジスタであるPMOSトランジスタ2-1～2-mのドレインが前記LED1-1～1-mにそれぞれ接続される。このPMOSトランジスタ2-1～2-mのソースには電源8が接続される。そして、このPMOSトランジスタ2-1～2-mのゲートは、トランスマッショングート5-1～5-mの出力側とPMOSトランジスタ7-1～7-mのドレインとの接続点に接続される。前記トランスマッショングート5-1～5-mの入力側は、輝度制御回路20-1の信号線15と接続される。このトランスマッショングート5-1～5-mは、図5に示す2入力AND回路9-1～9-mから与えられる画データに基づいてオン/オフする。また、PMOSトランジスタ7-1～7-mのソースは電源8に接続され、ゲートには2入力AND回路9-1～9-mの出力が与えられる。

【0007】図7は、前記輝度制御回路20-1の内部構成を示す回路図である。輝度制御回路20-1では、電源8と接地との間に、PMOSトランジスタ11、NMOSトランジスタ12及び抵抗13が直列接続される。PMOSトランジスタ11について、ソースが電源8に接続され、ゲートが該PMOSトランジスタ11のドレインに接続され、ドレインがNMOSトランジスタ12のドレイン側に接続される。そして、NMOSトランジスタ12のソースは抵抗13を介して接地される。また、NMOSトランジスタ12のゲートは、+端子に基準電圧(Vref)が供給され、-端子にNMOSトランジスタ12のソース側電位が供給されるオペレーションアンプ14の出力側に接続される。このオペレーションアンプ14によって、PMOSトランジスタ11には定電流I1が流れる。そして、PMOSトランジスタ11とNMOSトランジスタ12との接続点Aから延在する信号線15が図6に示すLED駆動回路40-1のトランスマッショングート5-1～5-mの入力側に接続される。

【0008】前記接続点Aから延在する信号線15には、輝度調整回路21が接続される。この輝度調整回路21において、前記信号線15には、電源8にソースがそれぞれ接続される輝度制御トランジスタであるPMOSトランジスタ23-1～23-4のドレインがそれぞれ接続される。即ち、PMOSトランジスタ23-1～

23-4は、前記PMOSトランジスタ11に並列に接続される。また、前記信号線15には、トランスマッショングート24-1～24-4の入力側が接続される。トランスマッショングート24-1～24-4の出力側には、PMOSトランジスタ23-1～23-4のゲート、及び電源8にソースが接続されるPMOSトランジスタ26-1～26-4のドレインが接続される。また、トランスマッショングート24-1～24-4とPMOSトランジスタ26-1～26-4のゲートには、調整データ入力端子25-1～25-4がそれぞれ接続される。

【0009】調整データ入力端子25-1～25-4には、4ビットの装置間用輝度調整データをラッチする輝度制御用ラッチ回路42-1が接続される。そして、このトランスマッショングート24-1～24-4は、前記調整データ入力端子25-1～25-4にそれぞれ与えられた4ビットの装置間用輝度調整データに基づきオン/オフ動作する。そして、PMOSトランジスタ23-1～23-4は、オン/オフ状態となる。

【0010】この4ビットの装置間用輝度調整データは、LEDアレイヘッドが製造後の検査によって、LEDアレイチップ41-1の輝度についての基準値からの誤差を測定し、その測定結果に基づき各LEDアレイチップ41-1と他のLEDアレイチップ41-2～41-nと輝度のバラツキが無くなるようにLEDアレイチップ41-1のLEDの輝度が基準値となるように設定される。

【0011】上述の構成において、輝度制御回路20-1を構成するPMOSトランジスタ23-1～23-4とPMOSトランジスタ11と、LED駆動回路40-1のPMOSトランジスタ2-1～2-mとは、トランジスタサイズの比が1:5:5となるように形成される。このトランジスタサイズとは、トランジスタのソース及びドレインを形成するための拡散領域の幅を示す。従って、PMOSトランジスタ23-1～23-4、PMOSトランジスタ11、及びPMOSトランジスタ2-1～2-mのゲートに同一の電位を与えたとしても、各トランジスタに流れる電流は、1:5:5となる。

【0012】上述の輝度制御回路20-1を用いた輝度の調整について以下に説明する。輝度制御回路20-1が行う輝度の調整は、LED駆動回路40-1に画データが与えられたときに行われる。このときに、前記装置間用輝度調整データは、クロック信号に従って外部からシフトレジスタ3-1に与えられた後、ラッチイネーブル信号によって輝度制御用ラッチ回路42-1でラッチされる。そして、輝度制御回路20-1は、輝度制御用ラッチ回路42-1から装置間用輝度調整データを取り込み、装置間用輝度調整データに基づきLED駆動回路40-1を制御してLEDアレイチップ41-1の各LEDの輝度を調整する。

【0013】前記輝度調整回路21は、調整データ入力端子25-1～25-4から装置間用輝度調整データを取り込むと、この装置間用輝度調整データに基づいてLED駆動回路40-1のPMOSトランジスタ2-1～2-mを介して流れる電流量を調整する。例えば、輝度調整回路21を構成するPMOSトランジスタ23-1～23-4の全てをオフする装置間用輝度調整データが与えられると、PMOSトランジスタ23-1～23-4は全てオフ状態となる。従って、LED駆動回路40-1と輝度制御回路20-1との間の“VG”に生じる電位には、PMOSトランジスタ11を流れる電流しか影響しない。PMOSトランジスタ11とLED駆動回路40-1のPMOSトランジスタ2-1～2-mとのトランジスタサイズは同じであるので、PMOSトランジスタ2-1～2-mを介してLED1-1～LED1-mに流れる電流I2は、 $(5/5) \times I1$ の計算より電流I1となる。

【0014】また、PMOSトランジスタ23-1だけをオンする装置間用輝度調整データが与えられると、PMOSトランジスタ23-1だけがオン状態となる。従って、LED駆動回路40-1と輝度制御回路20-1との間の“VG”に生じる電位には、PMOSトランジスタ11を流れる電流、及び、PMOSトランジスタ23-1を流れる電流が影響する。PMOSトランジスタ11とPMOSトランジスタ23-1とのトランジスタサイズは5:1であるので、LED1-1～1-mに流れる電流I2は、 $\{5/(5+1)\} \times I1$ の計算より、電流 $(5/6) \times I1$ となる。PMOSトランジスタ23-1、及びPMOSトランジスタ23-2をオンする装置間用輝度調整データが与えられると、PMOSトランジスタ23-1、及びPMOSトランジスタ23-2がオン状態となり、LED1-1～1-mに流れる電流I2は、 $\{5/(5+2)\} \times I1$ の計算より、電流 $(5/7) \times I1$ となる。PMOSトランジスタ23-1、PMOSトランジスタ23-2、及びPMOSトランジスタ23-2をオンする装置間用輝度調整データが与えられると、PMOSトランジスタ23-1～23-4がオン状態となり、LED1-1～1-mに流れる電流I2は、 $\{5/(5+4)\} \times I1$ の計算より、電流 $(5/9) \times I1$ となる。

【0015】また、LEDアレイチップ内の各LEDの輝度のバラツキを調整する回路が特開昭63-240168号公報に提案されている。この回路は、各LEDに対して複数個の分割ドライバが並列接続されており、輝

度のバラツキを調整するドライバ選択信号によって前記分割ドライバが選択されて、LEDに流れる電流を設定している。具体的には、図6に示すPMOSトランジスタ2-1に並列にPMOSトランジスタを複数個接続して、これらのトランジスタを分割ドライバとし、オンするトランジスタをドライバ選択信号に基づき選択することでLEDに流れる電流を調整している。

【0016】

【発明が解決しようとする課題】特開平6-328782号公報に提案されている従来技術では、PMOSトランジスタ23-1～23-4がPMOSトランジスタ11と並列に接続されるので、オン状態となるPMOSトランジスタ23-1～23-4が1つ増加するごとに図6に示すLEDアレイチップのLED1-1～1-mに流れる電流I2は、 $I1, (5/6) \times I1, (5/7) \times I1, (5/8) \times I1, (5/9) \times I1$ のように変化する。従って、オン状態となるPMOSトランジスタ23-1～23-4が増加すると、電流I2の分母が変化するために、電流I2の変化量を均等にすることはできない。このため、LEDアレイヘッドの製造後の検査におけるデータに基づいて前記電流I2を所望の値にするように装置間用輝度調整データを設定することは困難である。

【0017】また、特開昭63-240168号公報に提案されている従来技術では、各LEDに対して複数個の分割ドライバが並列接続されているので、設けられるLEDの数が多くなると、回路規模が増大するという問題がある。

【0018】本発明の第1の目的は、各装置間におけるLEDの輝度のバラツキを調整する場合に、少ない回路追加でLEDに供給される電流の変化量を均等にするとともに輝度の調整範囲の広い発光ダイオード駆動回路装置を提供することである。本発明の第2の目的は、回路規模を増大させずに各LED間の輝度のバラツキを調整する発光ダイオード駆動回路装置を提供することである。

【0019】

【課題を解決するための手段】本発明の発光ダイオード駆動回路装置は、発光ダイオードに接続され前記発光ダイオードに電流を流す駆動トランジスタを備える発光ダイオード駆動手段と、前記駆動トランジスタとカレントミラー回路を構成する電位設定用トランジスタと、前記電位設定用トランジスタと直列に接続され所定の電流を流す電流生成用トランジスタと、前記電流生成用トランジスタに並列に接続される輝度制御トランジスタと、前記輝度制御トランジスタをオン／オフ制御する動作制御手段と、を備え、前記動作制御手段によって前記輝度制御トランジスタをオン／オフ制御し、前記電位設定用トランジスタに流れる電流を変化させて、前記駆動トランジスタを介して前記発光ダイオードに流れる電流量を調

整することを特徴とする。

【0020】上述の構成によれば、電流生成用トランジスタに並列に接続された輝度制御トランジスタをオンすることで、電位設定用トランジスタに流れる電流は、この輝度制御トランジスタに流れる電流分だけ変化する。例えば、同じ大きさの電流を流す4つの輝度制御トランジスタを備える場合、オン状態になる輝度制御トランジスタが1つ増加するたびに、電位設定用トランジスタに流れる電流は均等に変化していく。従って、前記電位設定用トランジスタとカレントミラー回路を構成する駆動トランジスタが発光ダイオードに流す電流も電位設定用トランジスタに流れる電流と同様に変化する。このため、前記輝度制御トランジスタをオン／オフ制御することで、駆動トランジスタを介して発光ダイオードに流れる電流の変化量を均等にすることができる。

【0021】また、前記輝度制御トランジスタが前記電流生成用トランジスタに並列に複数個接続され、前記輝度制御トランジスタのトランジスタサイズは、 2^n (n は0, 1, 2, ...) にてなる値に設定されてもよい。

【0022】例えば、4つの輝度制御トランジスタA, B, C, Dのトランジスタサイズが1:2:4:8と設定された場合、4つの輝度制御トランジスタで16段階の輝度の調整ができる。このため、上述のように輝度制御トランジスタのトランジスタサイズを設定することで、回路を増設しないで、より精度よく輝度の調整ができるとともに、輝度の調整範囲を広くすることができる。

【0023】前述の発光ダイオード駆動回路装置を複数備えてもよい。この場合、前記動作制御手段は、各発光ダイオード駆動回路装置間の輝度の差に基づき設定された装置間輝度調整データに基づき前記輝度制御トランジスタをオン／オフ制御してもよい。

【0024】上述したように発光ダイオード駆動回路装置では発光ダイオードに供給する電流の変化量が均一であるので、各装置間の輝度のバラツキを調整する場合に用いられる前記装置間輝度調整データを容易に設定することができる。

【0025】また、前記電位設定用トランジスタに並列に接続される第2の輝度制御トランジスタと、前記第2の輝度制御トランジスタをオン／オフ制御する第2の動作制御手段とを備えてもよい。この場合、前記第2の動作制御手段によって第2の輝度制御トランジスタをオン／オフ制御し、前記駆動トランジスタを介して前記発光ダイオードに流れる電流量を調整する。

【0026】ここで、前記輝度制御トランジスタと前記第2の輝度制御トランジスタとは、互いに異なるトランジスタである。例えば、前記輝度制御トランジスタがN MOSトランジスタである場合には、前記第2の輝度制御トランジスタはPMOSトランジスタとなり、逆に、前記輝度制御トランジスタがPMOSトランジスタであ

る場合には、前記第2の輝度制御トランジスタはNMOSトランジスタとなる。

【0027】より精度よく輝度の調整を行うとともに発光ダイオードに流れる電流の変化量を均等にするためには、前記電流生成用トランジスタに並列に接続される輝度制御トランジスタを増設して、調整間隔を狭小することが想定される。しかし、輝度制御トランジスタだけが増設されると、チップ内に構成されるトランジスタは、PMOSトランジスタ又はNMOSトランジスタのいずれか一方に偏り、チップ面積が増大してしまう。

【0028】上述の構成のように、前記輝度制御トランジスタと互いに異なる第2の輝度制御トランジスタを電位設定用トランジスタに並列に接続し、第2の動作制御手段が前記第2の輝度制御トランジスタを制御するときには、発光ダイオードに流れる電流の変化量を均等にすることはできないが、より調整間隔を狭小することができるので精度よく輝度の調整を行うことができるとともにチップ面積の増大を防止することができる。また、上述の構成において、電流生成用トランジスタに並列に接続される輝度制御トランジスタによる調整間隔を大きくし、電位設定用トランジスタに並列に接続される輝度制御トランジスタによる調整間隔を調節することで、調整精度を低下させることなく輝度調整範囲を拡大させることができる。

【0029】前記第2の輝度制御トランジスタが前記電位設定用トランジスタに並列に複数個接続され、前記第2の輝度制御トランジスタのトランジスタサイズは 2^n (n は0, 1, 2, ...) にてなる値に設定されてもよい。

【0030】前記輝度制御トランジスタ及び第2の輝度制御トランジスタを備える発光ダイオード駆動回路装置を複数備えてもよい。この場合、前記動作制御手段及び第2の動作制御手段は、各発光ダイオード駆動回路装置間の輝度の差に基づき設定された装置間輝度調整データに基づき前記輝度制御トランジスタ及び第2の輝度制御トランジスタをオン／オフ制御してもよい。

【0031】また、本発明の発光ダイオード駆動回路装置は、発光ダイオードに接続され前記発光ダイオードに電流を流す駆動トランジスタを備える発光ダイオード駆動手段と、電流量の異なる複数の電流を流す電流制御手段と、前記発光ダイオードと異なる他の発光ダイオードとの間の輝度の差に基づき設定されたLED用輝度調整データに基づき前記電流制御手段に流れる複数の電流から1つの電流を選択する選択手段と、を備え、前記選択手段が選択した電流に基づき前記駆動トランジスタを介して前記発光ダイオードに流す電流量を調整することを特徴とする。

【0032】上述の構成によれば、電流制御手段は電流量の異なる複数の電流を流し、選択手段は、LED用輝度調整データに基づき前記複数の電流のうち1つの電流

を選択し、駆動トランジスタを介して発光ダイオードに流れる電流は前記選択手段に選択された電流に基づき調整される。従って、各発光ダイオード間の輝度のバラツキを無くすことができるので、印字品質をより向上させることができる。また、従来技術のように、発光ダイオードごとに複数の駆動トランジスタを設けることがないので、設けられる発光ダイオードの数が多くなっても回路規模が増大することができない。

【0033】

【発明の実施の形態】本発明のLED駆動回路装置に係る実施の形態について図を用いつつ、以下に説明する。

【0034】(第1の実施の形態)図1は、本発明の第1の実施の形態に係るLED駆動回路装置を備えるLEDアレイヘッドのLED駆動部分の概略的な構成を示した回路図である。本発明の第1の実施の形態に係るLED駆動回路装置は、図4に示すLEDアレイヘッドにおける従来のLED駆動回路装置の輝度制御回路20-1が図1に示す本発明の特徴部分である輝度制御回路50に置き換えたものである。従って、本発明の第1の実施の形態に係るLED駆動回路装置を備えるLEDアレイヘッドには、輝度制御回路50を備えるLED駆動回路装置がLEDアレイチップ41-1~41-nにそれぞれ接続される。なお、従来技術と同様の構成には、同一の参照符号を付して説明を省略する。

【0035】輝度制御回路50は、電源8(電源電圧Vccとする)と接地との間に、抵抗R(抵抗値はrとする)と、NMOSトランジスタNTr1とが接続される。NMOSトランジスタNTr1について、ドレインが抵抗Rを介して電源8に接続され、ソースが接地される。このNMOSトランジスタNTr1のゲートは、一端子に基準電圧(Vref)が与えられ+端子に前記NMOSトランジスタNTr1のドレインが接続されるオペレーションアンプ51の出力側に接続される。このオペレーションアンプ51は、前記抵抗RとNMOSトランジスタNTr1の接続点の電位が基準電圧(Vref)に等しくなるようにNMOSトランジスタNTr1のゲートに印加する電圧を制御する。即ち、オペレーションアンプ51、NMOSトランジスタNTr1、抵抗R、及び電源8は定電流源を構成する。これによって、抵抗Rに流れる電流I1は、 $(Vcc - Vref) / r$ の定電流となる。

【0036】また、このNMOSトランジスタNTr1のゲートには、電流生成用トランジスタであるNMOSトランジスタNTr2のゲートが接続され、NMOSトランジスタNTr1とNMOSトランジスタNTr2とはカレントミラー回路を構成する。従って、NMOSトランジスタNTr2は、定電流源によって流れる電流に関連して電流を流す。即ち、定電流源を構成する抵抗R1に電流I1が流れると、NMOSトランジスタNTr2は電流を流す。このNMOSトランジスタNTr2の

ソースは接地され、NMOSトランジスタNTr2のドレインには、電位設定用トランジスタであるPMOSトランジスタPTr2のドレインが接続される。このPMOSトランジスタPTr2では、ゲートがドレイン側と接続され、ソースが電源8と接続される。

【0037】NMOSトランジスタNTr2とPMOSトランジスタPTr2との接続点Bから延在する信号線57が、前記LED駆動回路40-1を構成するトランスマッショングート5-1~5-mに接続される。従って、PMOSトランジスタPTr2とLED駆動回路40-1を構成するPMOSトランジスタ2-1~2-mとは、カレントミラー回路を構成し、PMOSトランジスタPTr2のゲートの電位がPMOSトランジスタ2-1~2-mのゲートに与えられる。

【0038】また、輝度制御回路50において、NMOSトランジスタNTr2とPMOSトランジスタPTr2との接続点Bから延在する信号線57には、輝度調整回路52が接続される。この輝度調整回路52は、前記PMOSトランジスタPTr2に流れる電流を調整することで、PMOSトランジスタPTr2のゲートと同じ電位がゲートに与えられるPMOSトランジスタ2-1~2-mを介してLED1-1~1-mに流れる電流量を調整する。

【0039】図2は、図1に示す輝度制御回路50が備える輝度調整回路52の詳細な内部構成を示した回路図である。

【0040】前記輝度調整回路52において、前記接続点BからLED駆動回路40-1に延在する信号線57には、輝度制御トランジスタであるNMOSトランジスタ53-1~53-4のドレインがそれぞれ接続される。これらのNMOSトランジスタ53-1~53-4のソースは、それぞれ接地される。

【0041】また、NMOSトランジスタNTr1、NTr2のゲートに接続される信号線58には、トランスマッショングート54-1~54-4の入力側が接続される。これらのトランスマッショングート54-1~54-4の出力側には、NMOSトランジスタ53-1~53-4のゲート、及びソースが接地されるNMOSトランジスタ56-1~56-4のドレインに接続される。前記トランスマッショングート54-1~54-4とNMOSトランジスタ56-1~56-4のゲートには、インバータ回路を介して調整データ入力端子55-1~55-4がそれぞれ接続される。即ち、上述の各トランスマッショングート54-1~54-4と各NMOSトランジスタ56-1~56-4とが、各動作制御手段をそれぞれ構成する。

【0042】調整データ入力端子25-1~25-4には、図5に示すように、この実施の形態においては4ビットの装置間用輝度調整データをラッチする輝度制御用ラッチ回路42-1が接続される。そして、装置間用輝

度調整データは、1ビットごとに各調整データ入力端子25-1～25-4に与えられる。トランジションゲート54-1～54-4及びNMOSトランジスタ56-1～56-4は、装置間用輝度調整データに基づきオン／オフ動作して、前記NMOSトランジスタ53-1～53-4をオン／オフさせる。

【0043】上述のように、輝度制御回路50において、NMOSトランジスタ53-1～53-4は、NMOSトランジスタNTr2に並列に接続され、NMOSトランジスタNTr2及びNMOSトランジスタ53-1～53-4は、NMOSトランジスタNTr1とカレントミラー回路を構成する。これらのNMOSトランジスタ53-1～53-4、NMOSトランジスタNTr2、及びNMOSトランジスタNTr1は、トランジスタサイズの比が1:5:5となるように形成される。従って、NMOSトランジスタNTr2に流れる電流は、NMOSトランジスタNTr1に流れる電流I1となり、各NMOSトランジスタ53-1～53-4に流れる電流は $(1/5) \times I1$ となる。このため、PMOSトランジスタPTr2には、NMOSトランジスタNTr2に流れる電流I1と各NMOSトランジスタ53-1～53-4に流れる電流とを合わせた電流I2が流れる。即ち、PMOSトランジスタPTr2のゲートの電位には、NMOSトランジスタNTr2に流れる電流I1と各NMOSトランジスタ53-1～53-4に流れる電流とが影響する。

【0044】また、PMOSトランジスタPTr2と、LED駆動回路40-1のPMOSトランジスタ2-1～2-mとのトランジスタ比は1:1となるように形成される。従って、PMOSトランジスタPTr2のゲートの電位がPMOSトランジスタ2-1～2-mのゲートに与えられると、PMOSトランジスタ2-1～2-mには、PMOSトランジスタPTr2に流れる電流I2と、同一の電流が流れる。

【0045】次に、輝度制御回路50の輝度調整動作について説明する。従来技術にて説明したように、LED駆動回路40-1に画データが与えられる場合に、輝度制御回路50によるLEDの輝度の調整が行われる。この場合に、輝度制御回路50に与えられる前記4ビットの装置間用輝度調整データは、図5に示す輝度制御用ラッチ回路42-1にラッ奇されており、輝度制御用ラッチ回路42-1から前記輝度制御回路50の輝度調整回路52の調整データ入力端子55-1～55-4にそれぞれ1ビットずつ与えられる。そして、この装置間用輝度調整データに基づいて各NMOSトランジスタ53-1～53-4がオン／オフする。

【0046】輝度調整回路52を構成するNMOSトランジスタ53-1～53-4の全てをOFFする装置間用輝度調整データが与えられると、NMOSトランジスタ53-1～53-4は全てOFF状態となる。従つ

て、PMOSトランジスタPTr2に流れる電流I2はNMOSトランジスタNTr2に流れる電流I1となり、PMOSトランジスタPTr2のゲートの電位が与えられるPMOSトランジスタ2-1～2-mには電流I1が流れ、この電流I1がLED用出力端子DRV1～DRVmから出力される。

【0047】また、NMOSトランジスタ53-1だけをONする装置間用輝度調整データが与えられると、NMOSトランジスタ53-1だけがON状態となる。従って、NMOSトランジスタNTr2にはNMOSトランジスタNTr1に流れる電流I1と同じ大きさの電流が流れ、NMOSトランジスタ53-1には $(1/5) \times I1$ と同じ大きさの電流が流れる。このため、PMOSトランジスタPTr2を流れる電流I2は、 $\{1 + (1/5)\} \times I1$ の計算により、電流 $(6/5) \times I1$ となり、PMOSトランジスタPTr2のゲートの電位と同じ電位がゲートに与えられるPMOSトランジスタ2-1～2-mには $(6/5) \times I1$ と同じ大きさの電流が流れる。

【0048】上述のように、NMOSトランジスタ53-1、及びNMOSトランジスタ53-2をONする装置間用輝度調整データが与えられると、PMOSトランジスタ53-1、及びPMOSトランジスタ53-2がON状態となる。従って、PMOSトランジスタPTr2を流れる電流I2は、 $\{1 + (2/5)\} \times I1$ の計算より、電流 $(7/5) \times I1$ となる。このため、PMOSトランジスタ2-1～2-mには $(7/5) \times I1$ と同じ電流が流れる。また、NMOSトランジスタ53-1、NMOSトランジスタ53-2、及びNMOSトランジスタ53-3をONする装置間用輝度調整データが与えられると、NMOSトランジスタ53-1、NMOSトランジスタ53-2、及びNMOSトランジスタ53-3がON状態となる。従って、PMOSトランジスタPTr2を流れる電流I2は、 $\{1 + (3/5)\} \times I1$ の計算より、電流 $(8/5) \times I1$ となる。このため、PMOSトランジスタ2-1～2-mには $(8/5) \times I1$ と同じ電流が流れる。全てのNMOSトランジスタ53-1～53-4をONする装置間用輝度調整データが与えられると、全てのPMOSトランジスタ53-1～53-4がON状態となる。従って、PMOSトランジスタPTr2を流れる電流I2は、 $\{1 + (4/5)\} \times I1$ の計算より、電流 $(9/5) \times I1$ となる。このため、PMOSトランジスタ2-1～2-mには $(9/5) \times I1$ と同じ電流が流れる。

【0049】上述のように、本実施の形態では、輝度調整回路52を構成するNMOSトランジスタ53-1～53-4をNMOSトランジスタNTr2と並列に接続し、NMOSトランジスタ53-1～53-4をオン／オフ制御して、PMOSトランジスタPTr2に流れる電流I2を変化させる。従って、PMOSトランジスタ

PTr 2に流れる電流I2は、ON状態となるNMOSトランジスタ53-1～53-4が1個増加するごとに、I1, (6/5)×I1, (7/5)×I1, (8/5)×I1, (9/5)×I1のように(1/5)×I1ずつ増加する。PMOSトランジスタPTr 2のゲートの電位と同じ電位が与えられるPMOSトランジスタ2-1～2-mを介して流れる電流も、PMOSトランジスタPTr 2に流れる電流I2と同じように変化するので、ON状態となるNMOSトランジスタ53-1～53-4が1個増加するたびに均等に変化する。これによって、輝度の調整するために製造時の検査のデータに基づいて予め設定される装置間用輝度調整データを容易に設定することができる。

【0050】なお、上述の第1の実施の形態におけるNMOSトランジスタNTr 1、NMOSトランジスタNTr 2、及びNMOSトランジスタ53-1～53-4のトランジスタサイズを16:16:1:2:4:8に形成してもよい。例えば、NMOSトランジスタ53-1だけをONすると、PMOSトランジスタPTr 2及びPMOSトランジスタ2-1～2-mには(17/16)×I1の電流が流れ、NMOSトランジスタ53-1とNMOSトランジスタ53-3とをONすると、PMOSトランジスタPTr 2及びPMOSトランジスタ2-1～2-mには(21/16)×I1の電流が流れ。このようにNMOSトランジスタ53-1～53-4のトランジスタサイズを2ⁿ (nは1, 2, 3, ...)に設定することで、輝度の調整を16段階にすることができるので、輝度の調整をより精度よく行うことができる。また、変化量が均等になるので、装置間用輝度調整データをより容易に設定することができる。

【0051】(第2の実施の形態)図3は、本発明の第2の実施の形態に係るLED駆動回路装置を構成する輝度制御回路60を示す回路図である。本実施の形態の輝度制御回路60では、第1の実施の形態に示す輝度制御回路50のPMOSトランジスタPTr 2に第2の輝度制御トランジスタであるPMOSトランジスタ61-1～61-4を並列に接続した構成であり、NMOSトランジスタ53-1～53-4のオン/オフ制御に加えて、接続されたPMOSトランジスタ61-1～61-4のオン/オフ制御も行い、より精密な輝度調整を行う。なお、第1の実施の形態と同様の構成には、同一の符号を付して説明を省略する。従来技術と同様の構成には、同一の参照符号を付して説明を省略する。

【0052】第2の実施の形態に係るLED駆動回路装置を構成する輝度制御回路60において、PMOSトランジスタPTr 2とNMOSトランジスタNTr 2との接続点BからLED駆動回路40-1に延在する信号線57には、PMOSトランジスタ61-1～61-4のドレインがそれぞれ接続される。これらのPMOSトランジスタ61-1～61-4のソースは電源8に接続さ

れる。即ち、PMOSトランジスタ61-1～61-4は、前記PMOSトランジスタPTr 2と並列に接続される。

【0053】また、前記信号線57には、トランスマッショングート62-1～62-4の入力側が接続される。このトランスマッショングート62-1～62-4の出力側には、PMOSトランジスタ61-1～61-4のゲートが接続されるとともに、電源8にソースが接続されるPMOSトランジスタ64-1～64-4のドレインが接続される。また、トランスマッショングート62-1～62-4とPMOSトランジスタ64-1～64-4のゲートには、調整データ入力端子63-1～63-4がそれぞれ接続される。即ち、各トランスマッショングート62-1～62-4と各PMOSトランジスタ64-1～64-4とが、各第2の動作制御手段をそれぞれ構成する。

【0054】調整データ入力端子63-1～63-4には、この実施の形態においては8ビットの装置間用輝度調整データをラッチする輝度制御用ラッチ回路42-1が接続される。そして、調整データ入力端子63-1～63-4は、8ビットの装置間用輝度調整データ内の4ビットの装置間用輝度調整データが与えられる。残余の4ビットの装置間輝度調整データは、調整データ入力端子55-1～55-4に与えられる。トランスマッショングート62-1～62-4とPMOSトランジスタ64-1～64-4とは、前記4ビットの装置間用輝度調整データに基づきオン/オフ動作することで、前記PMOSトランジスタ61-1～61-4をオン/オフさせる。

【0055】また、PMOSトランジスタ2-1～2-m、PMOSトランジスタPTr 2、及びPMOSトランジスタ61-1～61-4のトランジスタサイズは、5:5:1に形成される。従って、PMOSトランジスタ61-1～61-4には、PMOSトランジスタPTr 2に流れる電流I2の(1/5)×I2の電流が流れ。

【0056】上述の構成によって、第1の実施の形態にて説明したNMOSトランジスタ53-1～53-4による制御に加えて、PMOSトランジスタ61-1～61-4による制御がなされる。この場合、PMOSトランジスタ2-1～2-mには、NMOSトランジスタ53-1～53-4の制御によってPMOSトランジスタPTr 2に流れる電流I2と同じ大きさの電流が流れるとともに、ON状態となるPMOSトランジスタ61-1～61-4が1個増加するごとに、PMOSトランジスタ2-1～2-mに流れる電流は、(5/6)×I2, (5/7)×I2, (5/8)×I2, (5/9)×I2と変化する。

【0057】上述のように、第1の実施の形態にて説明したNMOSトランジスタ53-1～53-4による調

整に加えて、PMOSトランジスタ61-1～61-4による調整を行うことで、より調整間隔を狭小にすることができる。NMOSトランジスタ53-1～53-4による調整間隔を大きくし、PMOSトランジスタ61-1～61-4による調整間隔を調節することで、調整の精度を低減させることなく輝度調整範囲を拡大させることができる。さらに、第1の実施の形態にて構成されたNMOSトランジスタ53-1～53-4に加えて、PMOSトランジスタ61-1～61-4を設けるので、チップ内に形成されるトランジスタの数がNMOSトランジスタに偏らない。これによって、NMOSトランジスタを増設してより精密な輝度の調整を行うよりも、チップ面積の増大を防止することができる。

【0058】また、上述のように、NMOSトランジスタNT_r1、NMOSトランジスタNT_r2、及びNMOSトランジスタ53-1～53-4のトランジスタサイズを16:16:1:2:4:8に形成するとともに、PMOSトランジスタ2-1～2-m、PMOSトランジスタPT_r2、及びPMOSトランジスタ61-1～61-4のトランジスタサイズを16:16:1:2:4:8に形成してもよい。このように各トランジスタサイズを設定することで、256段階に制御することができるので、より精密な輝度の調整を行うことができるとともに、輝度調整範囲を拡大させることができる。

【0059】(第3の実施の形態)図4は、本発明の第3の実施の形態に係るLED駆動回路装置を構成する輝度制御回路を示す回路図である。第1及び第2の実施の形態では、チップ間の輝度を調整できるLED駆動回路装置を示した。本実施の形態では各LED毎に輝度調整できるLED駆動回路装置を示す。なお、第1の実施の形態と同様の構成には、同一の符号を付して説明を省略する。

【0060】本実施の形態のLED駆動回路装置の輝度制御回路69について、NMOSトランジスタNT_r1のゲートに接続される信号線80には、NMOSトランジスタ70及びNMOSトランジスタ71のゲートが接続される。NMOSトランジスタ70及びNMOSトランジスタ71のソースは、接地される。従って、NMOSトランジスタ70及びNMOSトランジスタ71のゲートには、NMOSトランジスタNT_r1のゲートの電位と同一の電位が与えられ、前記NMOSトランジスタNT_r1とNMOSトランジスタ70及びNMOSトランジスタ71とでカレントミラー回路が形成される。

【0061】これらのNMOSトランジスタNT_r1、NMOSトランジスタ70、及びNMOSトランジスタ71のトランジスタサイズの比は、例えば、1:2:3に設定される。従って、NMOSトランジスタNT_r1に電流I₁が流れると、NMOSトランジスタ70は2×I₁の電流I₃を流し、NMOSトランジスタ71

は、3×I₁の電流I₄を流す。

【0062】前記NMOSトランジスタ70のドレインには、ソースが電源8に接続され、ゲートがドレイン側に接続されるPMOSトランジスタ74のドレインが接続される。このNMOSトランジスタ70とPMOSトランジスタ74との接続点C1から延在する信号線81は、トランスマッショングート76-1～76-mの入力側に接続される。このトランスマッショングート76-1～76-mの出力側は、LED駆動回路40-1の各PMOSトランジスタ2-1～2-mのゲートに接続される。

【0063】また、前記NMOSトランジスタ71のドレインには、ソースが電源8に接続され、ゲートがドレイン側に接続されるPMOSトランジスタ75のドレインが接続される。このNMOSトランジスタ71とPMOSトランジスタ75との接続点C2から延在する信号線82は、トランスマッショングート77-1～77-mの入力側に接続される。このトランスマッショングート77-1～77-mの出力側は、LED駆動回路40-1の各PMOSトランジスタ2-1～2-mのゲートに接続される。

【0064】前記PMOSトランジスタ74、75はNMOSトランジスタ70、71に直列にそれぞれ接続され、PMOSトランジスタ74、75及びNMOSトランジスタ70、71は電流制御手段を構成する。この電流制御手段において、PMOSトランジスタ74にはNMOSトランジスタ70に流れる電流I₃が流れ、PMOSトランジスタ75にはNMOSトランジスタ71に流れる電流I₄が流れ。そして、前記電流I₃、I₄に基づき設定されるPMOSトランジスタ74、75のゲートの電位がトランスマッショングート77-1～77-m又はトランスマッショングート76-1～76-mを介して各PMOSトランジスタ2-1～2-mのゲートに与えられる。

【0065】前記トランスマッショングート76-1～76-mとトランスマッショングート77-1～77-mとは、選択手段を構成し、調整データ入力端子79-1～79-mから入力されるLED用輝度調整データに従って動作し、一方が導通するときは他方が遮断するよう構成される。このLED用輝度調整データは、LEDアレイヘッドが製造された時点での検査に基づき各LED1-1～1-mの輝度についての基準値からの誤差を測定し、その測定結果に基づき各LED1-1～1-mの間における輝度のバラツキが無くなるように設定される。

【0066】例えば、調整データ入力端子79-1にハイレベルのLED用輝度調整データが与えられた場合は、トランスマッショングート77-1が導通し、トランスマッショングート76-1が遮断する。そして、LED駆動回路40-1のPMOSトランジスタ2-1の

ゲートにトランジスタ75のゲートの電位が与えられ、PMOSトランジスタ2-1に $3 \times I_1$ を示す電流I4が流れる。一方、調整データ入力端子79-1にローレベルのLED用輝度調整データが与えられた場合は、トランジションゲート76-1が導通し、トランジションゲート77-1が遮断する。そして、LED駆動回路40-1のPMOSトランジスタ2-1のゲートにトランジスタ74のゲートの電位が与えられ、PMOSトランジスタ2-1に $2 \times I_1$ を示す電流I3が流れる。

【0067】上述の第3の実施の形態では、PMOSトランジスタ2-1を介してLED1-1に流れる電流量をLED用輝度調整データに基づき調整するように他のLED1-2～1-mに流れる電流量も調整することで、各LED1-1～1-mの輝度のバラツキを無くすことができる。この第3の実施の形態では、従来技術のように1つのLEDに対して、複数のトランジスタを設ける必要はない。従って、各LED1-1～1-m及びLED駆動回路40-1のPMOSトランジスタ2-1～2-mが増加しても、トランジションゲート76-1～76-mとトランジションゲート77-1～77-mを増設するだけであるので、従来技術のように回路規模が増大することはない。このため、LED駆動回路装置のチップ面積の増大を防止できる。

【0068】なお、上述の第1の実施の形態の輝度制御回路50では、4ビットの装置間用輝度調整データが与えられるので、輝度制御トランジスタとしてNMOSトランジスタ4つ有する。第2の実施の形態の輝度制御回路50では、8ビットの装置間用輝度調整データが与えられるので、輝度制御トランジスタとしてNMOSトランジスタ4つと、第2の輝度制御トランジスタとしてPMOSトランジスタ4つを有する。しかし、輝度制御トランジスタ及び第2の輝度制御トランジスタの個数は、上述の個数に限定されず、与えられる装置間用輝度調整データに基づき決定する。

【0069】また、第3の実施の形態では、2種類の大きさの電流を生成する構成であるが種類数はこれに限定されない。

【0070】また、上述の第1の実施の形態乃至第3の実施の形態で説明したトランジスタのトランジスタサイズは、上述のトランジスタサイズに限定されない。

【0071】さらに、第1又は第2の実施の形態では、輝度トランジスタとしてNMOSトランジスタを形成し、第2の輝度トランジスタとしてPMOSトランジスタを形成したが、他の構成に併せて輝度トランジスタをPMOSトランジスタとし、第2の輝度トランジスタをNMOSトランジスタとしてもよい。

【0072】

【発明の効果】上述の発明によれば、電流生成用トランジスタに並列に接続される輝度制御トランジスタをON

することで、前記電位設定用トランジスタに流れる電流は、輝度制御トランジスタに流れる電流分だけ変化する。従って、ON状態になる輝度制御トランジスタが1つ増加するたびに、前記電位設定用トランジスタに流れる電流は均等に変化する。このため、輝度制御トランジスタのオン／オフ制御を行うことで、駆動トランジスタを介してLEDに流れる電流の変化量も均等にすることができる。

【0073】また、第2の輝度制御トランジスタを電位設定用トランジスタに並列に接続することで、より調整間隔を狭小にすることができるので精密な輝度の調整を行うことができる。また、チップ内に構成されるトランジスタがPMOSトランジスタ又はNMOSトランジスタのいずれか一方に偏らないようにすることができる。さらに、輝度制御トランジスタによる調整間隔を大きくし、第2の輝度制御トランジスタの調整間隔を調節することで、調整の精度を低減させることなく輝度調整範囲を拡大させることができる。

【0074】本発明のLED駆動回路装置を複数備える場合、上述したようにLEDに流す電流の変化量が均一であるので、各装置間の輝度のバラツキの調整に用いられる前記装置間輝度調整データを容易に設定することができる。

【0075】また、電流量の異なる複数の電流を流す電流制御手段と、前記輝度調整データに基づき複数の電流のうち1つの電流を選択する選択手段とを備え、選択された電流に基づき駆動トランジスタを介して発光ダイオードに流れる電流量を調整するので、各LEDの輝度を調整してバラツキを無くすことができるとともに、設けられるLEDの数が増加しても回路規模の増大は防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るLED駆動回路装置のLED駆動部分の概略的な構成を示した回路図である。

【図2】本発明の第1の実施の形態に係るLED駆動回路装置の輝度制御回路の内部構成を示す回路図である。

【図3】本発明の第2の実施の形態に係るLED駆動回路装置の輝度制御回路の内部構成を示す回路図である。

【図4】本発明の第3の実施の形態に係るLED駆動回路装置の輝度制御回路の内部構成を示す回路図である。

【図5】従来技術の輝度制御回路を備えるLEDアレイヘッドの構成を概略的に示すブロック図である。

【図6】図5に示す輝度制御回路に制御されるLEDアレイチップ及びLED駆動回路の構成を示す回路図である。

【図7】図5に示す輝度制御回路の内部構成を示す回路図である。

【符号の説明】

2-1~2-m PMOSトランジスタ

40-1 LED駆動回路

50 輝度制御回路

51 オペレーションアンプ

52 輝度調整回路

53-1~53-4 NMOSトランジスタ

54-1~54-4 トランスマッショングート

61-1~61-4 PMOSトランジスタ

62-1~62-4 トランスマッショングート

70, 71 NMOSトランジスタ

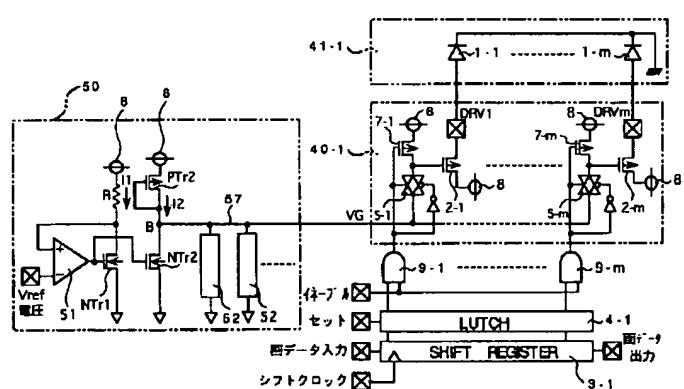
74, 75 PMOSトランジスタ

76-1~76-m, 77-1~77-m トランスマッショングート

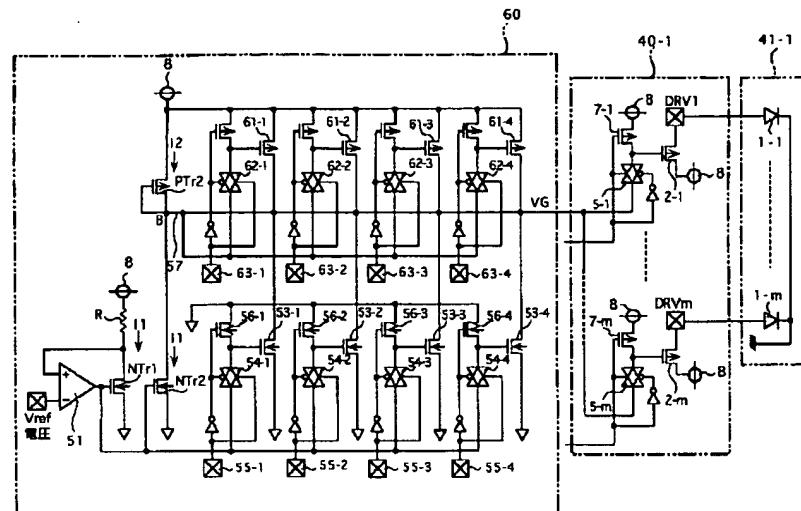
NTr1, NTr2 NMOSトランジスタ

PTr2 PMOSトランジスタ

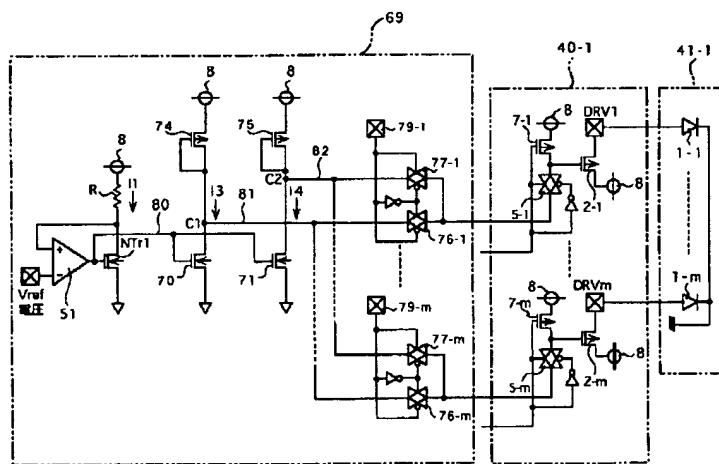
【図1】



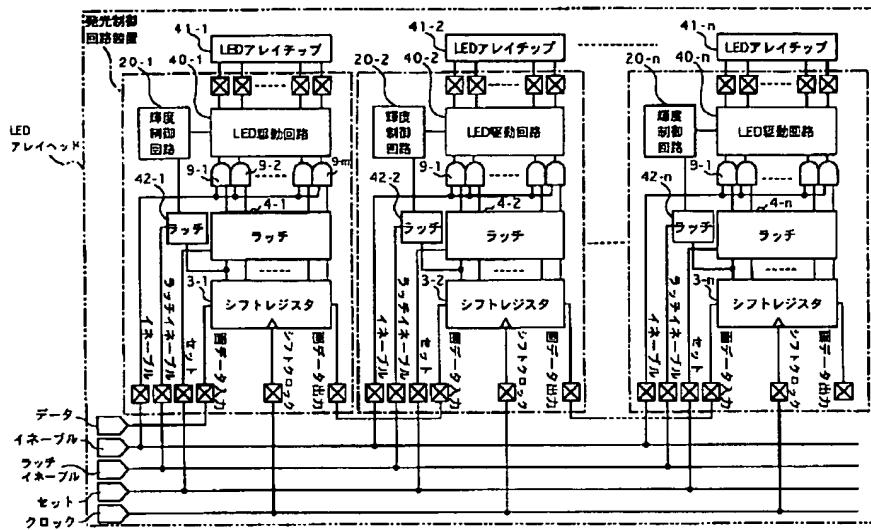
【図3】



【図4】



【図5】



【図7】

